

# Quartus II의 간단한 사용법

Quartus(쿼터스)는 Circuit (전자회로)를 설계하기 위한 FPGA(Field Programming Gate Array) 툴이다. 대략적인 단계로 Schematic Tool을 사용하여 회로를 설계하는 방법과 Verilog, VHDL같은 HDL(Hardware Description Language)를 사용하여 회로를 설계하는 방법이 있으며 개념을 파악할 때에는 Schematic이 좋으며 구현에는 Verilog 같은 HDL이 좋다.

## 1. Quartus 맛 보기

이번 시간에는 간단하게 입력 값이 두 개인 AND Gate 회로를 만들어 보자.

### 1.1 Project 생성

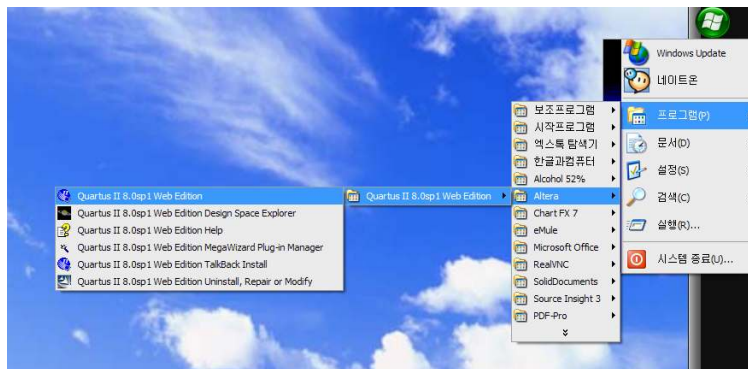


그림 1 쿼터스 실행



그림 2 실행 화면

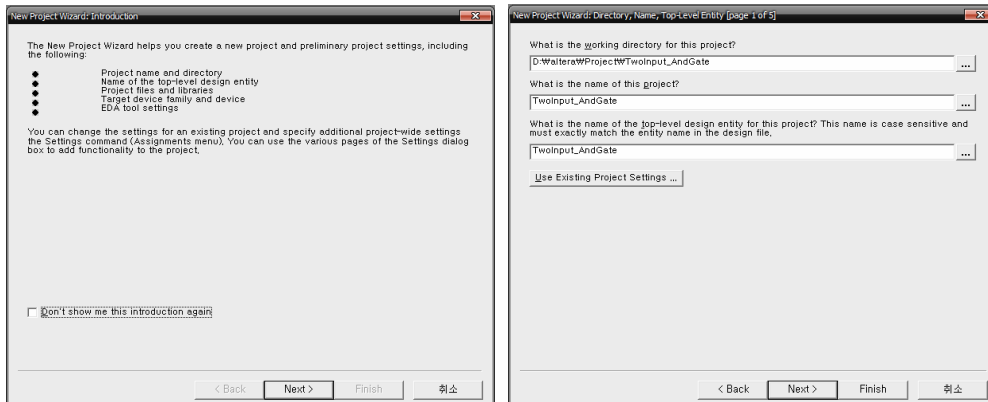
File-New Project Wizard 메뉴를 클릭하자!

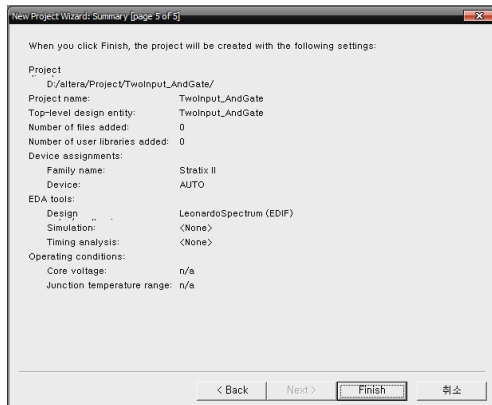
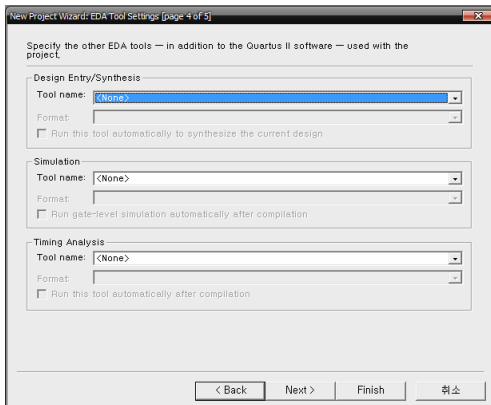
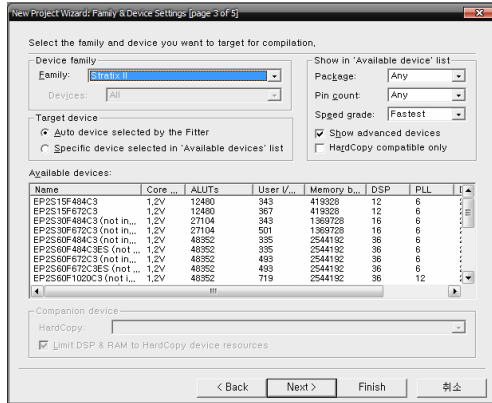
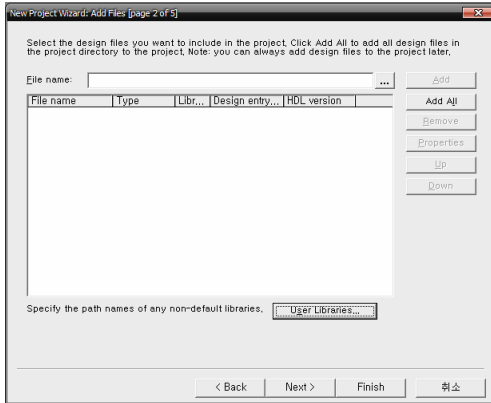


그림 3 New Project

다이얼로그 창이 생성될 것인데 다음과 같은 순서로 프로젝트를 생성하자

1. 간단한 설명이 나오는데 그냥 Next를 클릭
2. 프로젝트 경로를 설정하며 밑의 그림의 경우 C:\WalteraWProjectWTwoInput\_AndGate 디렉토리를 생성하고 프로젝트 이름도 TwoInput\_AndGate로 하였다.
3. 기존의 디자인 했던 파일 있다면 Import 시킬 수 있다. 지금은 새롭게 출발하는 과정이니 Next만 클릭한다.
4. 알테라 테스트 보드를 통해서 설계한 회로를 테스트할 수 있으며 목록들은 보드와 칩셋을 나열한 것이다.
5. 특정한 컴파일러나 모델을 사용할 때 사용하며 특이한 것이 필요 없을 때에는 모두 None으로 설정한다.
6. 마지막 다이얼로그는 프로젝트를 설정 했을 때의 요약정보를 보여준다. Finish를 눌러서 프로젝트 설정을 마무리 하자!





## 1.2 Schematic Desgin

Quartus II 의 구성은 네 가지 부분으로 되어 있는 것을 볼 수 있다. 프로젝트를 생성하였고 이제 Schematic Tool 또는 Verilog를 사용해서 AndGate를 만들어 보자. 먼저 메뉴에서 File-New를 클릭하자!!

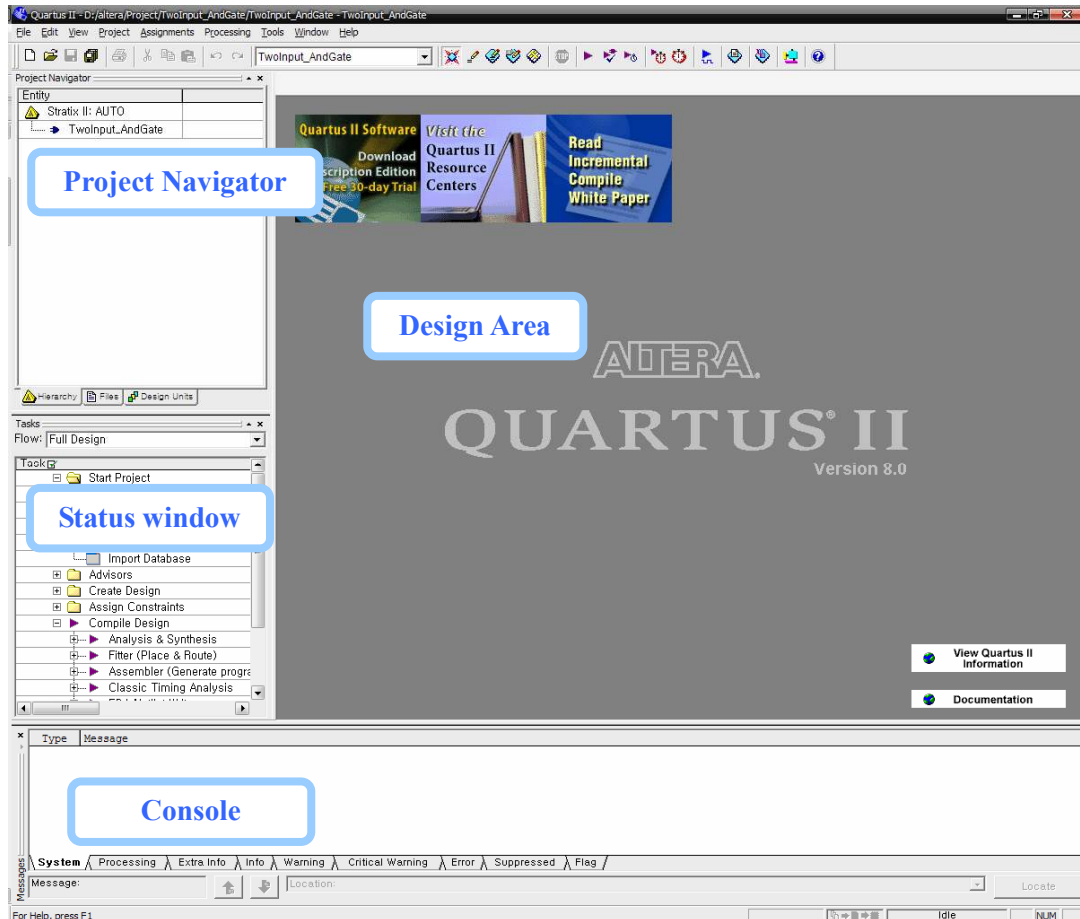


그림 4 Quartus II 구성

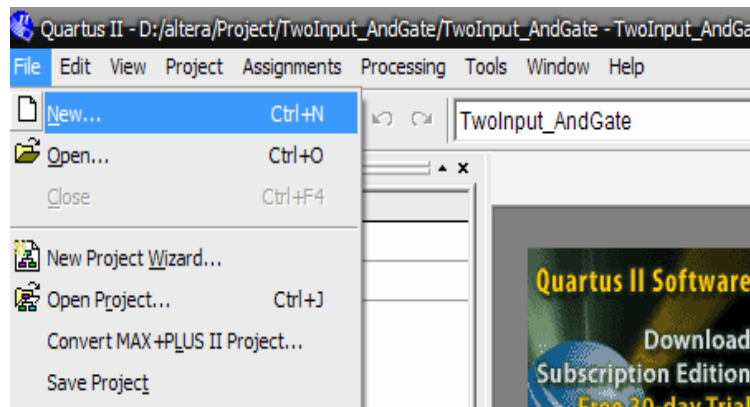


그림 5 New 메뉴 선택

먼저 Block Diagram/Schematic File을 만들어 보도록 하자!!

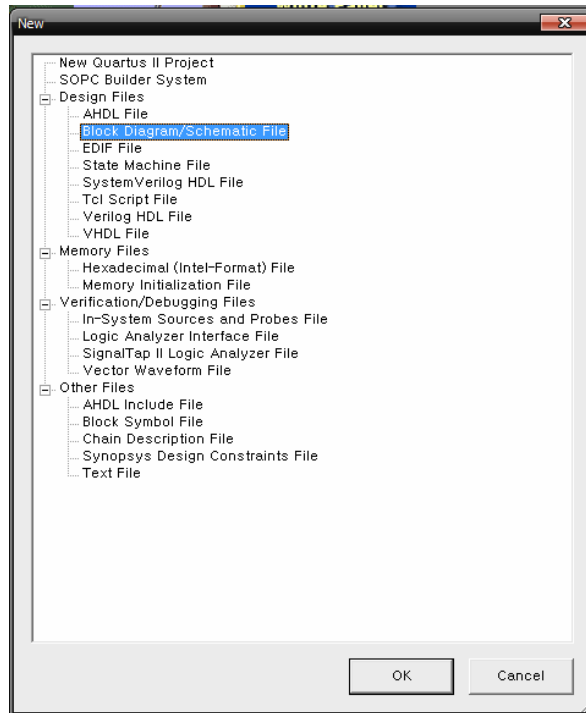


그림 6 New Dialog

그럼 Design Area에 Block1.bdf가 생성됐을 것이다. 먼저 파일이름을 프로젝트 이름과 일치 시킨다. 이번 예제에서는 TwoInput\_AndGate.bdf 새 이름으로 저장한다.

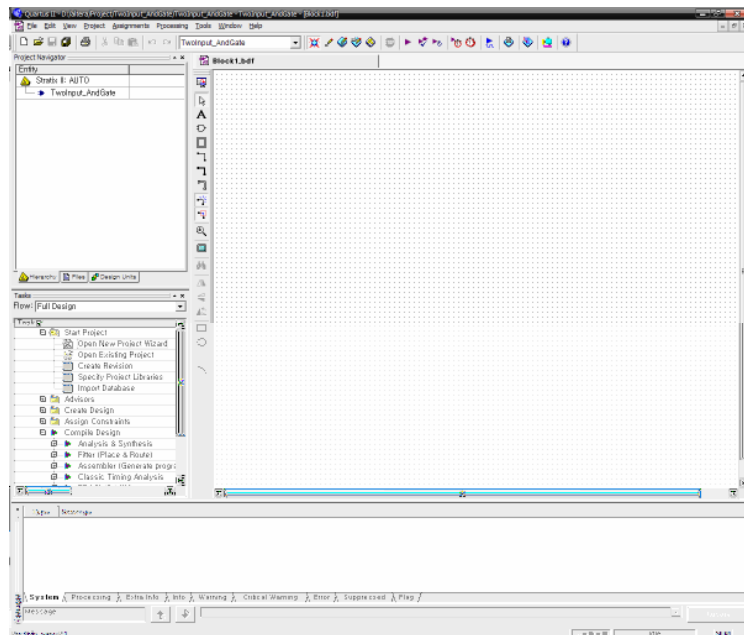


그림 7 디자인 레이아웃에 Schematic Designer가 생성됐다.

File-Save As를 메뉴를 선택하여 새 이름으로 저장하자

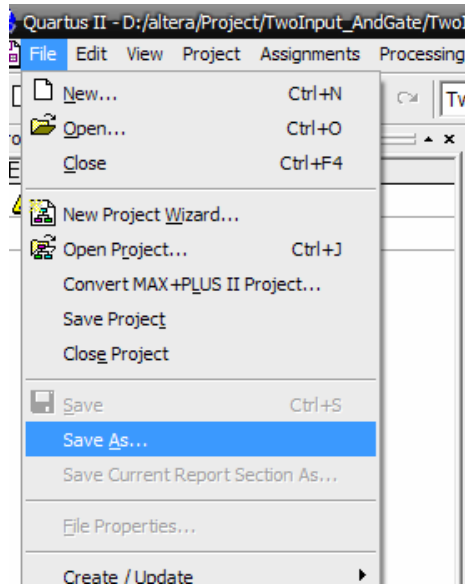


그림 8 새 이름으로 저장

이제 AndGate를 그릴 준비가 다 되었다. 입력 두개의 AndGate를 생각해 보면 입력이 두 개 필요하고 출력이 하나 필요할 것이다. 그리고 중요한 AndGate가 필요할 것이다. 입력 값과 출력 값에 이름을 준다면 입력에는 InputA, InputB 출력에는 OutputC로 정의할 수 있을 것이다.

1. Symbol 툴을 클릭하자.

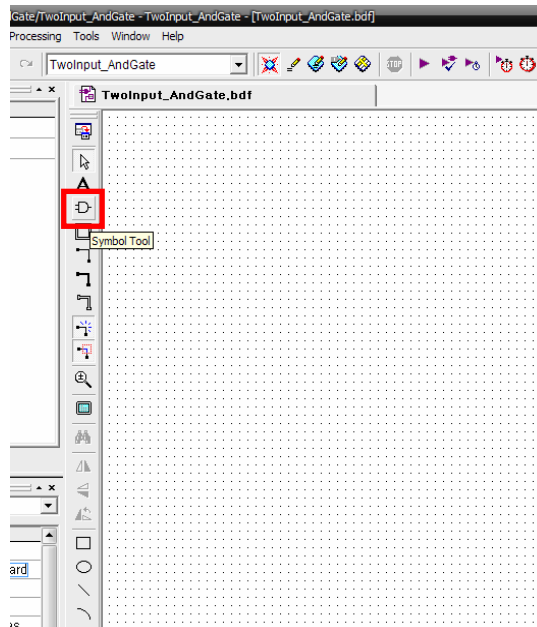


그림 9 Block Diagram 도구 모음

2. Name Text Box 에서 input이라고 입력을 하는 방법과 직접 메뉴에서 찾는 방법이 있다. 메뉴에서 symbol을 찾을 때에는 primitives/pin/input 경로에서 찾을 수 있다. OK를 누르자

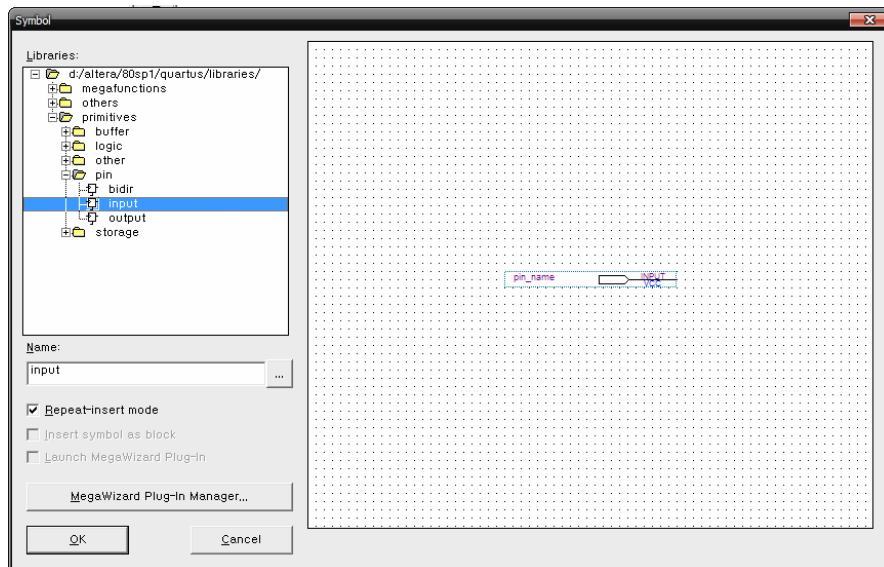


그림 10 Symbol 다이얼로그

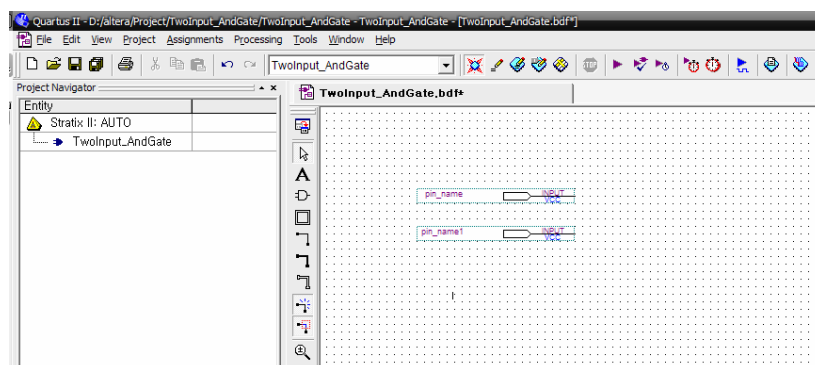


그림 11 Input Pin 생성

다음 순서는 symbol 창에서 AndGate를 찾아 보자. Input Pin가 마찬가지로 And2를 입력을 하던가 primitives/logic/and2 경로에서 symbol을 찾을 수 있다.

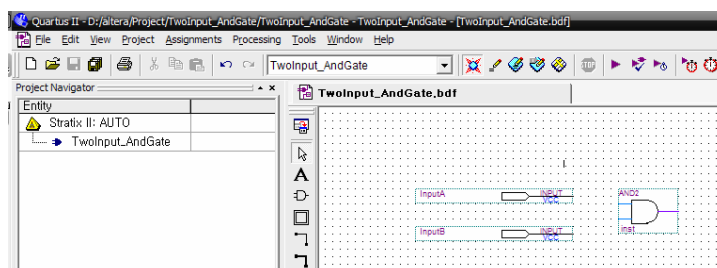
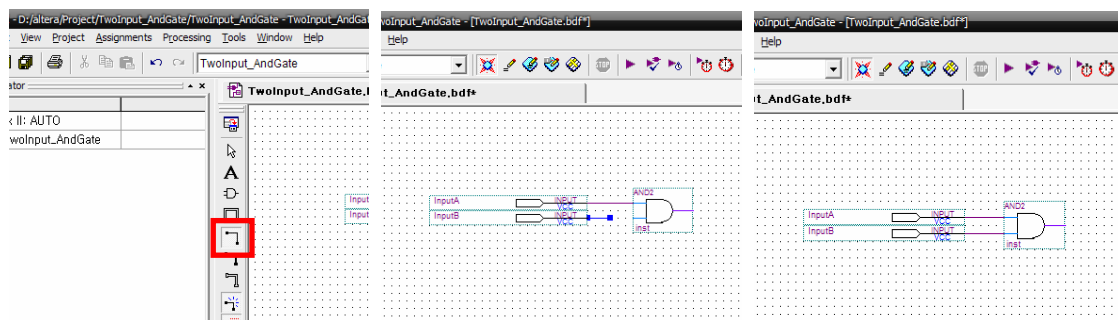
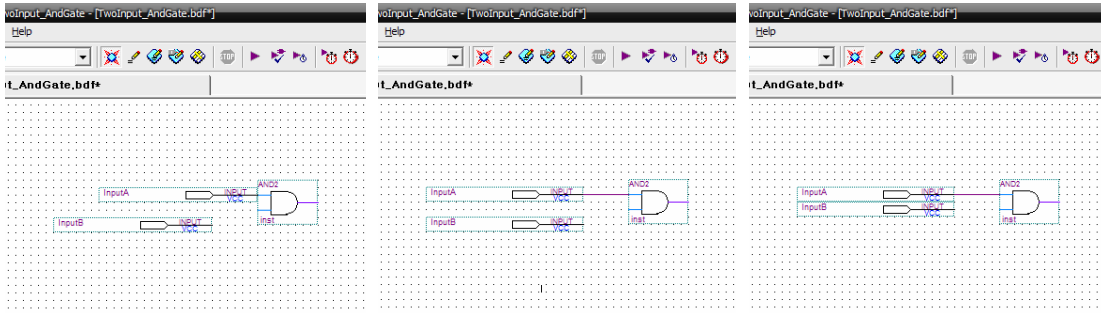


그림 12 And Gate 생성

Input Pin과 And Gate를 연결하여 보자!!



다음 순서로 symbol 창에서 Output을 찾고 AndGate와 연결하자. 이로서 AndGate 회로가 완성되었다.

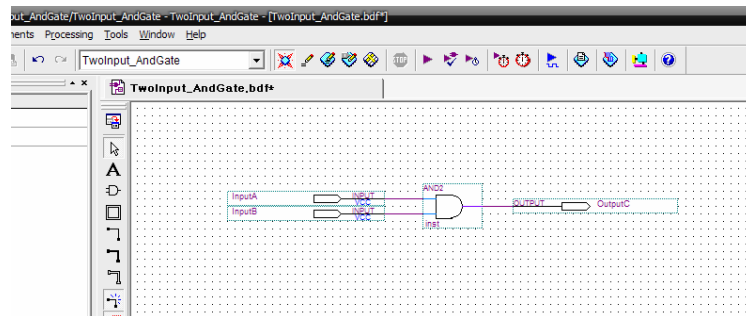


그림 13 완성된 And Gate



여기서 끝나는 것이 아니라 컴파일 과정과 시뮬레이션 과정이 남아 있다. 일단 컴파일을 통해서 회로가 잘 연결되어 있는지 확인해 보자. Ctil+L 를 눌러서 컴파일 하자. 에러가 없다면 그림 15과 같은 그림이 나타날 것이다. Console 에서 Info: Quartus II Full compilation was successful. 0 errors, 6 warnings 같은 메시지가 나타났을 것이다.

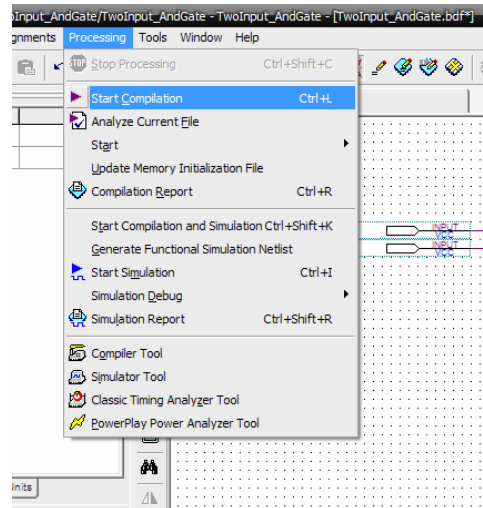


그림 14 컴파일 메뉴

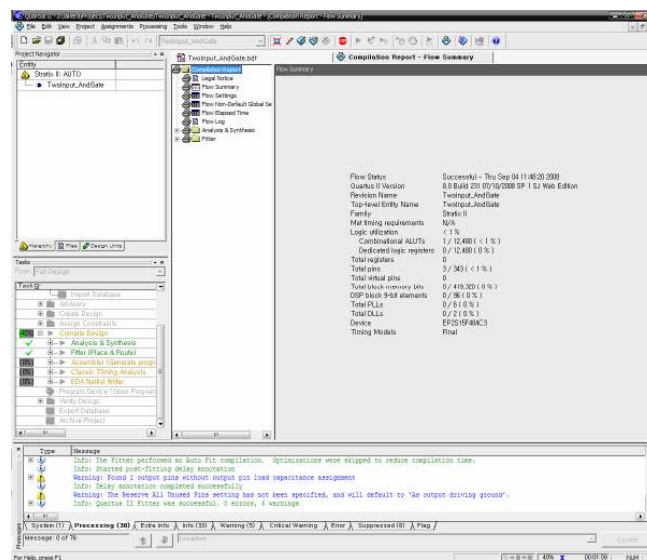


그림 15 컴파일 결과

### 1.3 Vector Waveform

And Gate 회로의 로직이 잘 동작하는지 확인하는 일이 남아 있다. 확인하는 작업은 Vector Waveform file을 생성해 보자. 그리고 vwf 파일이름을 프로젝트 이름과 동일하게 변경하여야 한다.

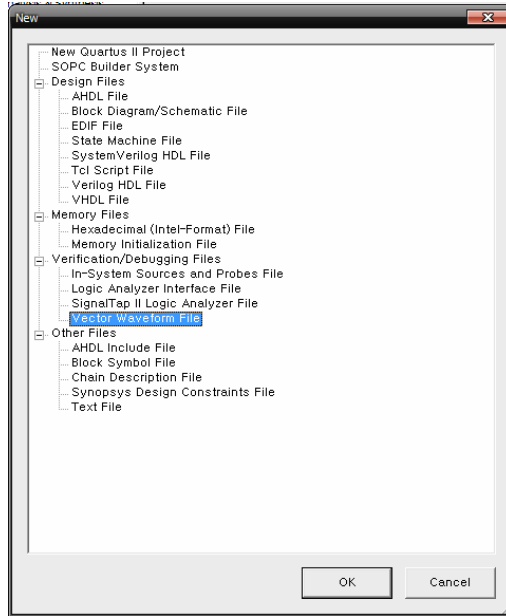


그림 16 Vector Waveform File 생성

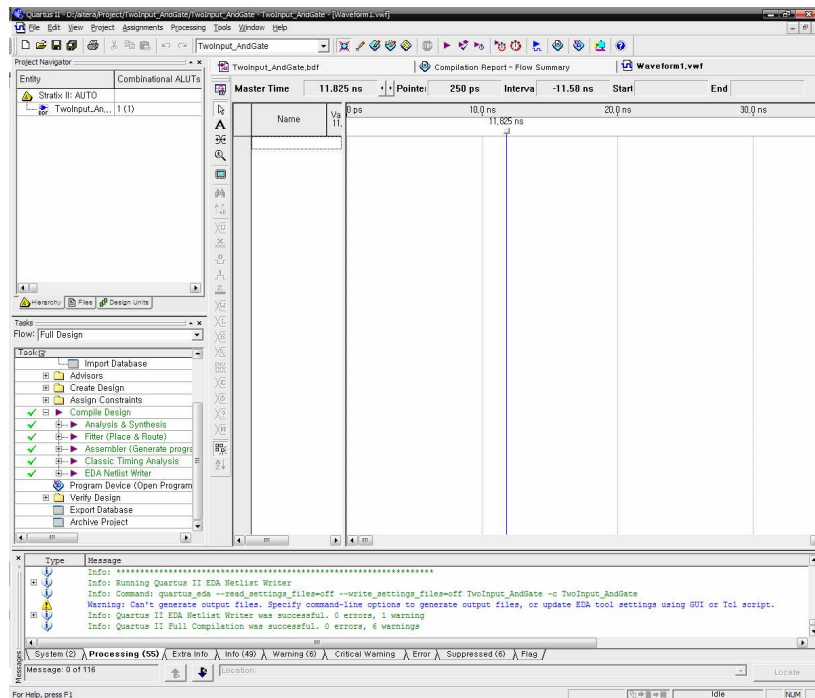


그림 17 Waveform Layout

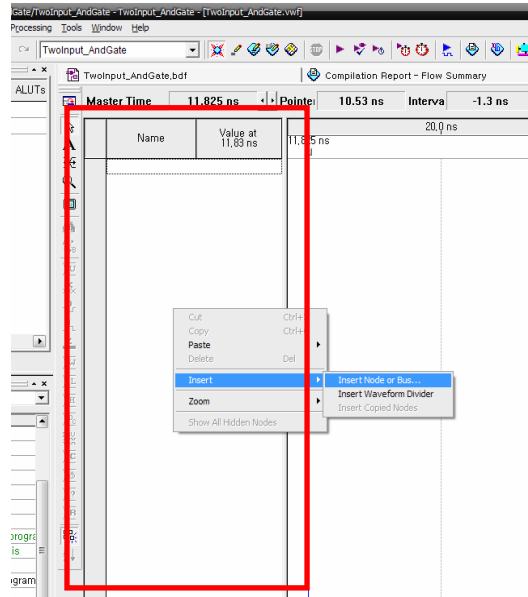


그림 18 Red Box 부분을 더블 클릭하거나 팝업 창에서 Insert Node를 선택한다

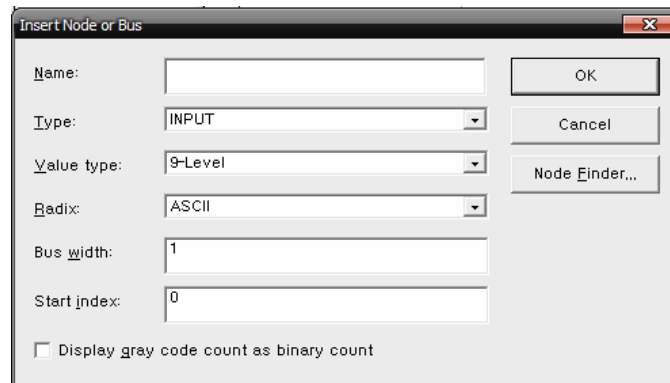


그림 19 Node Finder 버튼을 클릭한다.

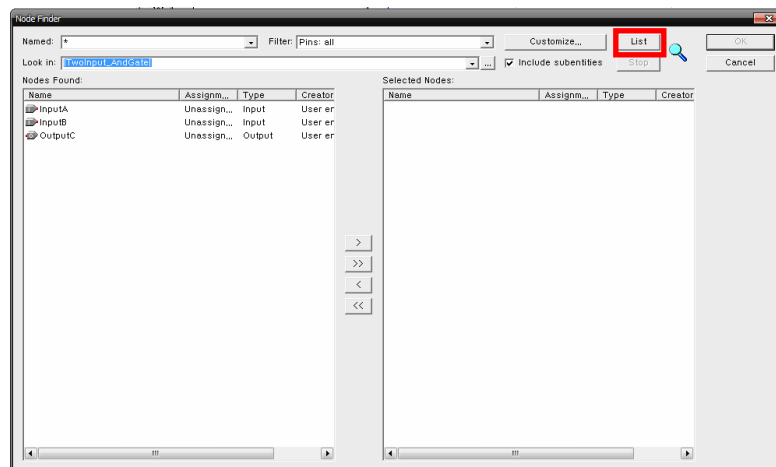


그림 20 List Button을 클릭하면 BDF에서 생성된 입력, 출력 편이 검색된다.

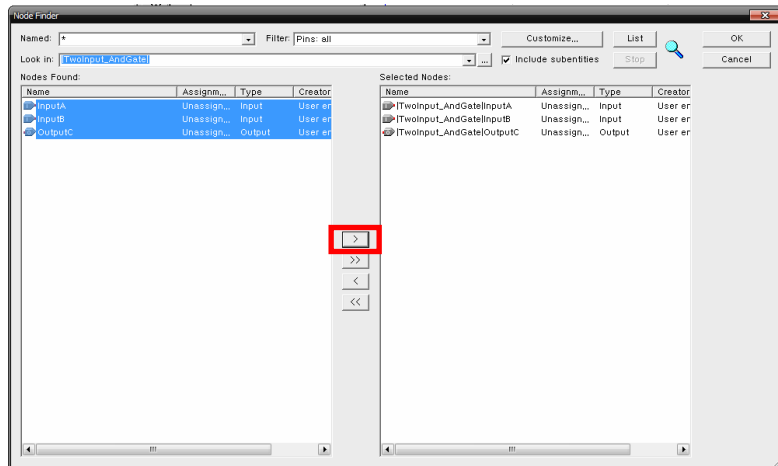


그림 21 시뮬레이션 할 Pin을 선택하고 화살표를 클릭한다. 그런 다음 OK 버튼을 누른다.

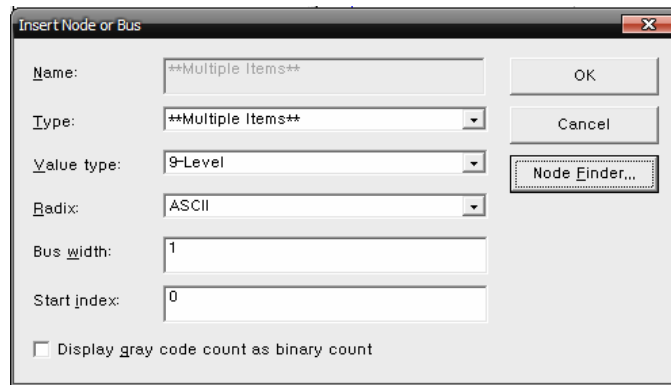


그림 22 OK 버튼을 누른다.

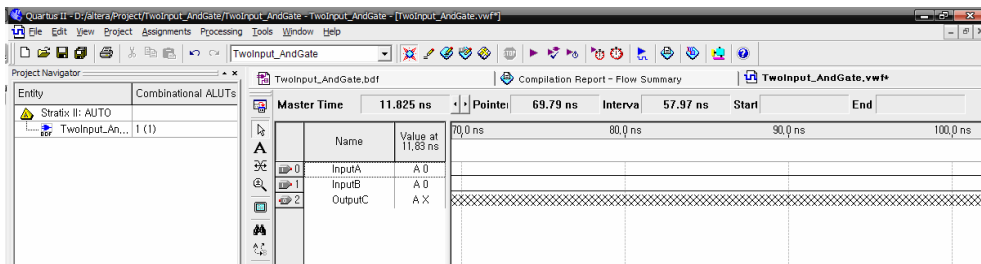


그림 23 Input과 Output 핀이 나타나는 것을 확인할 수 있다.

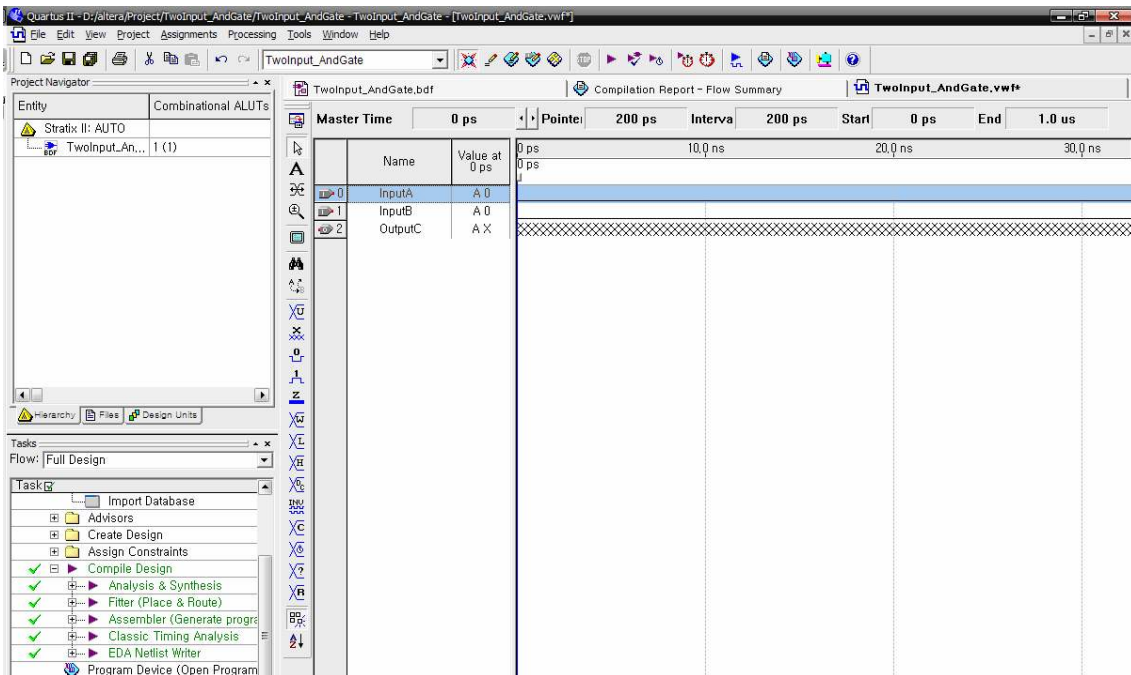


그림 24 컨트롤 하려는 핀을 선택한다.

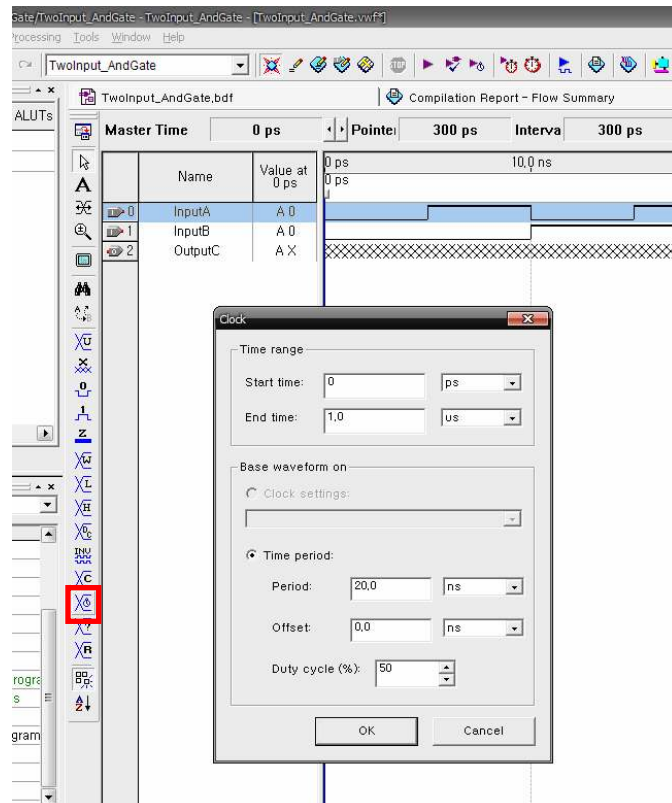


그림 25 Overwrite Clock을 선택하고 Period을 조정한다.

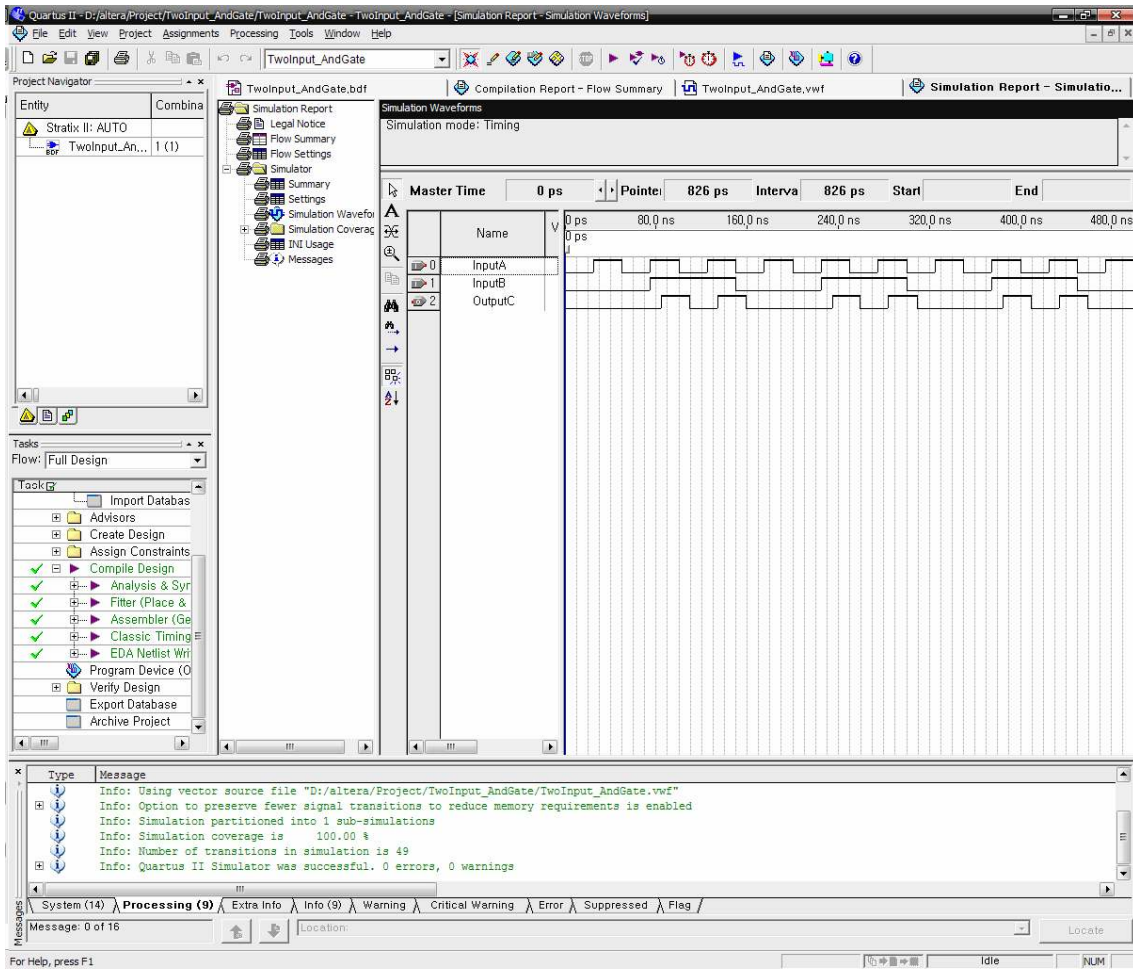


그림 26 Ctrl+I를 누르거나 메뉴 [processing – start simulation] 눌러 simulation을 실행한다.

\* Simulation이 성공적으로 실행되면 OutputC 핀의 Value가 기록된다. 유의할 점은 Gate 마다 딜레이가 있기 때문에 결과값이 밀려 보이는 것이 이상한 것이 아니다.

#### 1.4 Verilog 간단한 맛 보기

Verilog를 사용하여 And Gate를 작성해 보자. 일단 지금 프로젝트를 지우고 새로운 프로젝트를 다시 시작하자. 그리고 아래 창과 같이 Verilog HDL File을 클릭하여 Verilog 파일을 생성시키자.

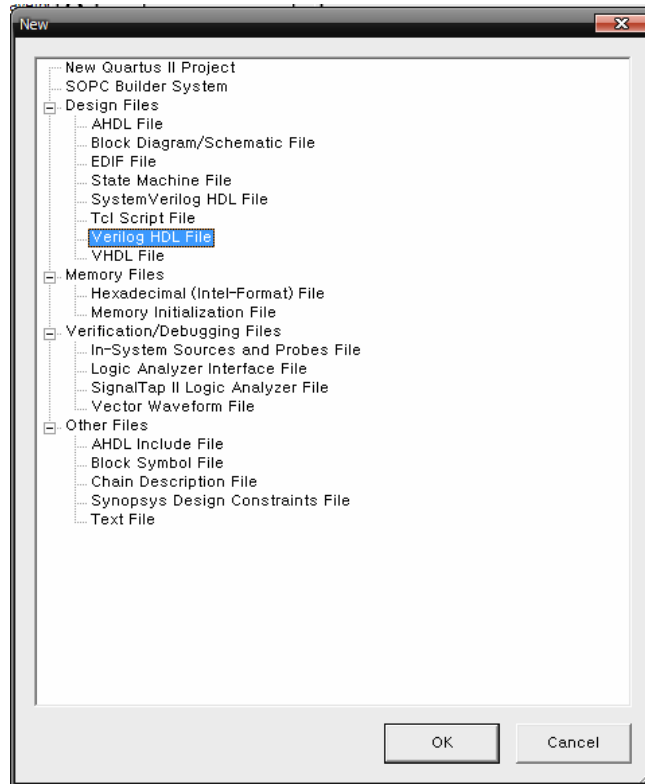


그림 27 Verilog HDL file 선택

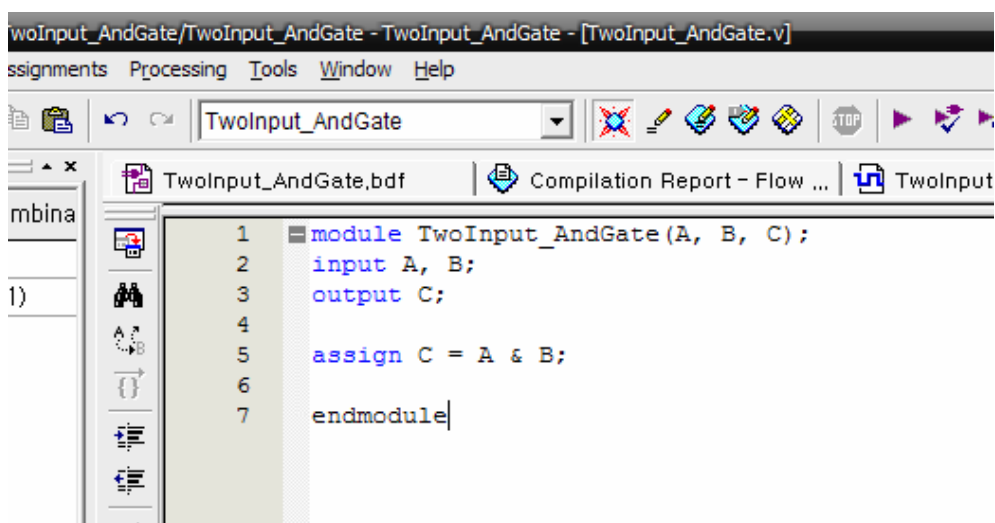


그림 28 Verilog 파일이름은 TwoInput\_AndGate.v로 저장하고  
다음과 같이 Typing 하고 컴파일을 시작해 보자

\* 컴파일을 성공적으로 수행했다면 전 프로젝트에서 해왔던 Vector Waveform File을 생성하고 각 핀들에 대한 값들을 설정하고 시뮬레이션을 수행해 보라!!!

\* Quartus 툴을 간단하게나마 사용하였고 추후 실습 때 사용하는 툴의 쓰임은 이 범위를 넘지 않을 것이다.

- 이상 -